# 第四周学习指南

## 4.1 课程内容

课程内容包括慕课中第四章组合逻辑电路的4.3组合逻辑电路的设计和4.4组合逻辑电路中的险象。

组合逻辑电路设计是我们最先接触到的逻辑电路设计，如何将需求转化为逻辑描述（真值表、逻辑函数等）是首先需要关注的问题，然后就是在受限条件下（包含无关条件、多输出、以及没有反变量提供），如何使电路最简，最经济。

险象是由于逻辑门等元器件以及电路导线等的传输延迟导致出现的瞬态现象，险象会产生错误的输出破坏电路的功能，这部分会给大家详细介绍竞争和险象的概念，险象的判断方法和消除方法。

## 4.2 教学重点

**1. 组合逻辑电路设计的一般步骤**

* 理解组合逻辑电路设计的一般步骤：分析法，真值表法。
* 组合逻辑电路设计中使用与非门结构的意义和转换方法。

**2. 包含无关条件的组合逻辑电路设计**

* 理解什么是无关条件。
* 无关条件对于输出函数化简的意义。
* 注意：无关条件可能意味着电路的输入受到了限制，否则可能有错误输出。

**3. 多输出组合逻辑电路的设计**

* 多输出组合逻辑电路设计的关键：找出公用项。
* 理解典型电路：全加器电路。

**4. 无反变量提供的组合逻辑电路设计**

* 对电路适当的变换，减少非门的数量。
* 在逻辑描述中，采用不同的编码描述对电路的影响。

**5. 组合逻辑电路中险象的定义**

* 什么是竞争？竞争是否可以消除？
* 竞争的分类：临界竞争和非临界竞争。
* 什么是险象？现象是瞬态现象，对电路有什么影响？
* 险象的分类：静态险象和动态险象；0型险象和1型险象。

**6. 组合逻辑电路中险象的判断**

* 险象的判断方法：代数法和卡诺图法。
* 注意：险象是电路结构产生的，因此判断险象时，无论是逻辑函数还是卡诺图都必须保证与原始电路的结构完全一致，不能对逻辑函数和卡诺图进行分解、化简等操作后再进行判断。

**7. 组合逻辑电路中险象的消除**

* 增加冗余项，如何增加？
* 增加惯性延时环节。
* 选通法

## 4.3 本周作业及要求

**习题四：4.4；4.6（1）；4.8；4.9；4.12。**

4.4 设计一个组合逻辑电路，该电路输入端接收两个2位二进制数A=A2A1，B=B2B1。当A>B时，输出Z=1，否则Z=0。

**要求：（1）逻辑函数表达式 （2）逻辑电路**

4.6 假定X=AB代表一个2位二进制数，试设计满足如下要求的逻辑电路（Y也用二进制数表示）：（1）Y=X2

**要求：（1）真值表 （2）逻辑函数 （2）逻辑电路**

4.8 设计一个”四舍五入”电路。该电路输入为1位十进制数的8421码，当其值大于或等于5时，输出F的值为1，否则F的值为0。

**要求：（1）真值表 （2）与非结构逻辑函数 （2）使用非门和与非门的逻辑电路**

4.9 设计一个检测电路，检测4位二进制码中1的个数是否为偶数，若为偶数个1，则输出为1，否则输出为0。

**要求：（1）逻辑函数表达式 （2）逻辑电路**

4.12 下列函数描述的电路是否可能发生竞争？竞争结果是否会产生险象？在什么情况下产生险象？若产生险象，试用增加冗余项的方法消除。

（1）

（2）

（3）

**注意：每个题目有4问，不要漏答。**